

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

US



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

1 9 9 9 年 1 1 月 4 日

#2  
J-3-01

出 願 番 号  
Application Number:

平成 1 1 年 特 許 願 第 3 1 3 1 6 4 号

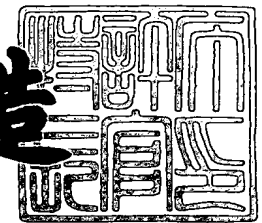
出 願 人  
Applicant (s):

日本電気株式会社

2 0 0 0 年 9 月 1 8 日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 0 7 4 5 8 1

【書類名】 特許願

【整理番号】 68501761

【提出日】 平成11年11月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 27/20

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

    【氏名】 中山 政彦

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100088812

    【弁理士】

    【氏名又は名称】 ▲柳▼川 信

【手数料の表示】

    【予納台帳番号】 030982

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 F I R フィルタ、ランプアップ・ランプダウン回路

【特許請求の範囲】

【請求項 1】 入力データを選択する選択制御手段と、この選択制御手段により選択されたデータと所定のフィルタ係数とを乗算する乗算手段とを含み、この乗算手段の乗算出力から F I R フィルタ出力を導出するようにしたことを特徴とする F I R フィルタ。

【請求項 2】 前記選択制御手段は、入力データを順次後段にシフトする第 1 の  $n$  段 ( $n$  は自然数、以下同じ) シフトレジスタと、このシフトレジスタの  $n$  段の出力にそれぞれ対応して設けられ対応する段の出力の送出をオンオフする  $n$  個のスイッチ手段と、この  $n$  個のスイッチ手段をオンオフ制御する制御手段とを含み、

前記乗算手段は、前記シフトレジスタの  $n$  段の出力にそれぞれ対応して設けられ対応する段から前記スイッチ手段のオン制御によって送出される出力にそれぞれ所定のフィルタ係数を乗じる  $n$  個の乗算回路を含み、

前記  $n$  個の乗算回路の乗算出力から F I R フィルタ出力を導出するようにしたことを特徴とする請求項 1 記載の F I R フィルタ。

【請求項 3】 前記制御手段は、前記第 1 の  $n$  段シフトレジスタのシフトクロックに応じてランプアップダウン信号を順次後段にシフトする第 2 の  $n$  段シフトレジスタであり、前記  $n$  個のスイッチ手段は、前記第 2 の  $n$  段シフトレジスタの各段に対応して設けられ対応する段の出力を入力的一方とし前記第 1 の  $n$  段シフトレジスタの対応する段の出力を入力他方とするアンドゲートであることを特徴とする請求項 2 記載の F I R フィルタ。

【請求項 4】 前記制御手段は、前記第 1 の  $n$  段シフトレジスタのシフトクロックに応じてランプアップダウン信号を順次後段にシフトする第 2 の  $n$  段シフトレジスタであり、前記  $n$  個のスイッチ手段は、前記第 2 の  $n$  段シフトレジスタの各段に対応して設けられ対応する段の出力に応じて前記フィルタ係数と零とを択一的に出力する  $n$  個の切替スイッチであることを特徴とする請求項 2 記載の F

I R フィルタ。

【請求項 5】 前記制御手段は、前記第 1 の n 段シフトレジスタのシフトクロックに応じてランプアップダウン信号を順次後段にシフトする第 2 の n 段シフトレジスタであり、前記第 2 の n 段シフトレジスタの各段の出力に応じて前記第 1 の n 段シフトレジスタの対応する段の出力をリセットするようにしたことを特徴とする請求項 2 記載の F I R フィルタ。

【請求項 6】 請求項 2 ～ 5 のいずれかに記載の F I R フィルタと、前記 n 個の乗算回路の出力を加算する加算回路とを含み、前記第 1 の n 段シフトレジスタにランプアップ信号を入力し前記加算回路の加算出力からランプアップデータを導出するようにしたことを特徴とするランプアップ回路。

【請求項 7】 請求項 2 ～ 5 のいずれかに記載の F I R フィルタと、前記 n 個の乗算回路の出力を加算する加算回路とを含み、前記第 1 の n 段シフトレジスタにランプダウン信号を入力し前記加算回路の加算出力からランプダウンデータを導出するようにしたことを特徴とするランプダウン回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は F I R フィルタ及びこれを用いたランプアップ・ランプダウン回路に関し、特に無線送受信機の送信回路の送信電力を制御する F I R フィルタ及びこれを用いたランプアップ・ランプダウン回路に関する。

【0 0 0 2】

【従来の技術】

一般に、C D M A (Code Division Multiple Access) 送信を行う送信機では、送信データについて、デジタル信号処理回路でデジタル信号処理を行った後、フレーム信号処理を行う。その後、送信データを疑似ランダム符号で拡散処理する。この拡散処理された送信データについては、帯域制限をするために F I R (Finite Impulse Response) フィルタで濾波が行われる。F I R フィルタにおいては、送信データに同期した、送信するデータの区間を示すランプアップランプダウン制御信号より作られる制御信号に応じて F I R 係数又はデータを零にする

ように信号処理する。

【0003】

図10は、CDMA送信を行う送信機の一般的な構成を示すブロック図である。同図に示されているように、CDMA送信を行う送信機は、デジタル部121と、アナログ部122と、アンテナ123とを含んで構成されている。デジタル部121は、送信データについてデジタル信号処理（拡散処理を含む）を行うデジタル信号処理回路12aと、帯域制限を行うためのFIRフィルタ12bと、アナログ信号に変換するためのD/A変換器12cとから構成されている。また、アナログ部122は、LPFフィルタ12dと、変調器12eと、IF増幅器12fと、ミキサ12gと、RF増幅器12hとから構成されている。

【0004】

ところで、無線通信の送信においては、送信の開始時や終了時、あるいは、時分割送信時（パケット通信等も含めて）のバースト送信等の場合、送信信号のスペクトラムが広がり、送信動作に悪影響を及ぼすことが知られている。

【0005】

これは、送信データが急峻に立上るときは、この立上がり時における送信信号のスペクトラムの広がりが大きく、そのために、他のチャンネルとの間で周波数的な干渉を生じさせるからである。また、送信信号の立下がりのときでも、同様な問題が生じている。したがって、バースト送信の場合、通常、有効送信データの前後にランプアップ、ランプダウン区間を設けることが規格上定められている。

【0006】

【発明が解決しようとする課題】

これらの問題に対し、先行技術として知られている一般的な手法が、特開平8-46485号公報に開示されている。これは図11に示されているように、 $n$ 個のレジスタ $D_1 \sim D_n$ からなる $n$ ビットのシフトレジスタ301と、メモリ302と、D/A変換器303とを用いる構成である。そして、シフトレジスタ301の出力である $n$ ビットの信号と1ビットのバーストタイミング信号の信号との合計 $(n+1)$ ビットの信号でメモリ302のアドレス信号を構成する。この

とき、メモリ 302 は、 $(n+1)$  ビットで呼び出される記憶容量のものとする。メモリ 302 から出力されるデジタルデータは、D/A 変換器 303 においてアナログ信号に変換される。このように構成することにより、FIR フィルタを実現することができるのである。

#### 【0007】

図 11 に示されている FIR フィルタは、バーストタイミング信号値により、ランプアップ部及びランプダウン部を有した状態のフィルタ出力を拡張されたメモリ 302 から読込んで出力する動作を行うことになる。すると、タップ数（シフトレジスタの段数）を多くとった場合には、使用するメモリの記憶容量が多く必要になってしまい、回路規模が大きくなるという欠点があった。

#### 【0008】

また、出力に乗算器を設けてレベルを変化させたり、ランプアップ・ダウン用の波形発生回路を別に設け、発生させたランプアップ・ダウン信号を送信信号に付加する等、アナログ的に GCA (Gain Control Amplifier) 制御してランプアップ、ランプダウンを作り出す手法も考えられる。しかし、この手法を採用しても、消費電力、回路規模が大きくなってしまいう欠点があり、上述した従来技術の欠点を解決することができない。

#### 【0009】

本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的は回路規模が大きくならずに、スムーズなランプアップ、ランプダウンを簡単に実現させることのできる FIR フィルタ及びこれを用いたランプアップ・ランプダウン回路を提供することである。

#### 【0010】

##### 【課題を解決するための手段】

本発明による FIR フィルタは、入力データを選択する選択制御手段と、この選択制御手段により選択されたデータと所定のフィルタ係数とを乗算する乗算手段とを含み、この乗算手段の乗算出力から FIR フィルタ出力を導出するようにしたことを特徴とする。また、前記選択制御手段は、入力データを順次後段にシフトする第 1 の  $n$  段 ( $n$  は自然数、以下同じ) シフトレジスタと、このシフトレ

ジスタの  $n$  段の出力にそれぞれ対応して設けられ対応する段の出力の送出をオンオフする  $n$  個のスイッチ手段と、この  $n$  個のスイッチ手段をオンオフ制御する制御手段とを含み、

前記乗算手段は、前記シフトレジスタの  $n$  段の出力にそれぞれ対応して設けられ対応する段から前記スイッチ手段のオン制御によって送出される出力にそれぞれ所定のフィルタ係数を乗じる  $n$  個の乗算回路を含み、

前記  $n$  個の乗算回路の乗算出力から F I R フィルタ出力を導出するようにしたことを特徴とする。

#### 【0011】

また、前記制御手段は、前記第 1 の  $n$  段シフトレジスタのシフトクロックに応じてランプアップダウン信号を順次後段にシフトする第 2 の  $n$  段シフトレジスタであり、前記  $n$  個のスイッチ手段は、前記第 2 の  $n$  段シフトレジスタの各段に対応して設けられ対応する段の出力を入力的一方とし前記第 1 の  $n$  段シフトレジスタの対応する段の出力を入力他方とするアンドゲートか、前記第 2 の  $n$  段シフトレジスタの各段に対応して設けられ対応する段の出力に応じて前記フィルタ係数と零とを択一的に出力する  $n$  個の切替スイッチとする。なお、前記制御手段は、前記第 1 の  $n$  段シフトレジスタのシフトクロックに応じてランプアップダウン信号を順次後段にシフトする第 2 の  $n$  段シフトレジスタであり、前記第 2 の  $n$  段シフトレジスタの各段の出力に応じて前記第 1 の  $n$  段シフトレジスタの対応する段の出力をリセットするようにしても良い。

#### 【0012】

本発明によるランプアップ回路は、上記 F I R フィルタと、前記  $n$  個の乗算回路の出力を加算する加算回路とを含み、前記第 1 の  $n$  段シフトレジスタにランプアップ信号を入力し前記加算回路の加算出力からランプアップデータを導出するようにしたことを特徴とする。

#### 【0013】

本発明によるランプダウン回路は、上記 F I R フィルタと、前記  $n$  個の乗算回路の出力を加算する加算回路とを含み、前記第 1 の  $n$  段シフトレジスタにランプダウン信号を入力し前記加算回路の加算出力からランプダウンデータを導出する

ようにしたことを特徴とする。

【0014】

要するに本発明では、無線送信機の中で一般的に使用されている送信データであるベースバンド信号をフィルタリングするFIRフィルタにおいて、フィルタの係数をランプアップダウン信号により選択することによって、送信開始時、停止時の送信電力を制御するランピング(ramping)機構を設けているのである。

【0015】

具体的には、シフトレジスタの各段の出力の送出をオンオフ制御し、このオンオフ制御された送信データと所定のフィルタ係数とを乗算器で乗算し、この乗算出力からFIRフィルタ出力を導出する。また、制御回路内のシフトレジスタにランプアップダウン信号を入力し、加算回路の出力からランプアップダウンデータを導出する。ランプアップ、ダウン時用のフィルタ係数を記憶するメモリを用意する必要がないので、構成が容易で、回路規模が大きくならずに、スムーズなランプアップ、ランプダウンを実現させることができる。

【0016】

【発明の実施の形態】

次に、本発明の実施の一形態について図面を参照して説明する。なお、以下の説明において参照する各図においては、他の図と同等部分には同一符号が付されている。

【0017】

図1は本発明によるFIRフィルタを用いて構成したランプアップ・ランプダウン回路の実施の一形態を示すブロック図である。同図において、ランプアップ・ランプダウン回路100は、制御回路101と、 $n$ 個のレジスタ $D_1 \sim D_n$ からなるシフトレジスタ102と、 $n$ 個のANDゲート103-1 $\sim$ 103- $n$ と、各ANDゲート103-1 $\sim$ 103- $n$ の出力とFIRフィルタのFIR係数とを乗算する $n$ 個の乗算回路104-1 $\sim$ 104- $n$ と、乗算回路104-1 $\sim$ 104- $n$ の出力を加算する加算器105とを含んで構成されている。

【0018】



送信される送信データはシフトレジスタ102のレジスタD1に入力され、クロック信号(CLK)106はシフトレジスタ102の各レジスタD $i$  ( $i=1\sim n$ )に入力される。シフトレジスタ102は、クロック信号106が入力されると、レジスタD1に入力された送信データはレジスタD1からレジスタD2、レジスタD3、…、レジスタD $n$ に順次シフトされるように各レジスタD $i$  ( $i=1\sim n$ )が接続されている。シフトレジスタ102の各レジスタD $i$ には、出力タップが設けられており、対応する各ANDゲート103-1~103- $n$ へ送信データが逐次出力される構成となっている。

## 【0019】

ランプアップダウン信号は送信データと同期している信号である。このランプアップダウン信号は、制御回路101に入力される。制御回路101はランプアップ及びランプダウンのための信号処理を行い、その処理後の制御信号107-1~107- $n$ は、対応するANDゲート103-1~103- $n$ に入力される。さらに制御回路101はシステムクロックで動作させるので、クロック信号106も制御回路101に入力されている。

## 【0020】

ここで、制御回路101の内部構成例について図2を参照して説明する。同図において、制御回路101は、レジスタ101-1~101- $n$ からなる $n$ 段シフトレジスタを含んで構成されており、ランプアップダウン信号を入力とし、クロック信号の遷移タイミングで入力を順次後段にシフトする動作を行う。そして、各段のレジスタ101- $i$  ( $i=1\sim n$ )の出力は制御信号107- $i$  ( $i=1\sim n$ )となる。したがって、この制御回路101は、入力されるランプアップダウン信号について、周知のシリアル-パラレル変換動作を行うことになる。

## 【0021】

図3に示されているように、クロック信号に同期してランプアップダウン信号が入力されると、ランプアップ区間中は、C1~C $n$ の $n$ ビットのうちの最下位ビットであるC1から順に“0”から“1”に変化して行く、C1~C $n$ の $n$ ビットの平行データで表現されるランプアップ信号が得られることになる。そして、C1~C $n$ の $n$ ビットは、最終的にはオール“1”に変化する。

## 【0022】

また、同図に示されているように、クロック信号に同期してランプアップダウン信号が入力されると、ランプダウン区間中は、 $C_1 \sim C_n$ の $n$ ビットのうちの最下位ビットである $C_1$ から順に“1”から“0”に変化して行く、 $C_1 \sim C_n$ の $n$ ビットの平行データで表現されるランプダウン信号が得られることになる。そして、 $C_1 \sim C_n$ の $n$ ビットは、最終的にはオール“0”に変化する。

## 【0023】

制御回路101からの制御信号107-iとシフトレジスタ102の各タップから出力されている送信データは、それぞれ対応する各ANDゲート103-i ( $i = 1 \sim n$ )に入力され、その出力は、乗算回路104-i ( $i = 1 \sim n$ )においてFIR係数 $h_1 \dots h_n$ と乗算された後、出力される。これらFIR係数が掛けられた送信データは、加算器105によって加算処理されて出力信号として出力される。

## 【0024】

この加算器105から時刻 $t$ に出力される出力信号 $y_t$ は、時刻 $t$ における送信データを $x_t$ とすると、

## 【0025】

【数1】

$$y_t = h_1 \cdot x_t + h_2 \cdot x(t-1) + \dots + h_n \cdot x(t-n)$$

$$= \sum_{k=1}^t \{h_k \cdot x(t-k)\}$$

となる。

## 【0026】

ここで、乗算回路104-iは、FIR係数 $h_i$  ( $i = 1 \sim n$ )を生成する回路と、この生成されたFIR係数を送信データとを乗算する乗算回路とを含んで構成されているものとする。以上のようにFIRフィルタを構成すれば、このランプアップ・ランプダウン回路100から出力された出力信号は、実際には、こ

の後にD/A変換器、変調回路、電力増幅されて電波として出力されるためのアナログ送信回路を通ることになる。後段に設けられるこれらの回路は、当業者にとってよく知られており、また本発明とは直接関係しないので、その詳細な説明は省略する。

## 【0027】

図4はFIRフィルタを用いて構成したランプアップ・ランプダウン回路のシミュレーションにより得られたフィルタ後の波形図である。同図に示されているように、ランプアップダウン信号は、送信データと同期している。このランプアップダウン信号は、送信したいデータの先頭と同時にLowレベルからHiレベルに変化し、送信したい送信データの終了と同時にHiレベルからLowレベルに変化する信号である。なお、送信データ、ランプアップダウン信号、クロック信号はそれぞれに対し同期がとれているものとする。

## 【0028】

送信開始前の初期状態において、ランプアップダウン信号は、Lowレベルとなっている。このとき、制御回路101の出力である制御信号107-iは全てLowレベルとなる。

## 【0029】

次に、送信開始と同時にランプアップダウン信号はHiレベルとなり制御回路101から出力される制御信号は、クロック信号106から入力されるクロックにより、各々、順次LowレベルからHiレベルに変わっていく。つまり、制御回路101は、上述したように、シリアルtoパラレル変換を行うような構成となっている。

## 【0030】

送信が停止状態、つまりランプアップダウン信号がHiレベルからLowレベルに変化する場合、制御回路102の出力である制御信号107-iは、同様にHiレベルからLowレベルへ、クロックに同期して切り替わっていく。

## 【0031】

一方、図1を参照すると、シフトレジスタ102は、クロック信号106により制御されるnビットのシフトレジスタであり、クロック信号106の立上りタ

イミングに同期して、シフトレジスタ 1 0 2 の初段のレジスタ D 1 に送信データの先頭ビットを記憶し、次のクロックによって、レジスタ D 1 に記憶された送信データがレジスタ D 2 にシフトされる。そしてレジスタ D 1 は次の送信データが記憶される動作を行っている。同様にクロックがシフトレジスタ 1 0 2 に入力されるごとに送信データが次々とシフトされていく。

#### 【 0 0 3 2 】

さらにシフトレジスタ 1 0 2 は、各タップで送信データが出力されるようになっており、制御回路 1 0 1 の出力である各制御信号 1 0 7 - i とともに、対応する AND ゲート 1 0 3 の入力にそれぞれ入力されていく。従って、制御回路 1 0 1 からの制御信号 1 0 7 - i が L o w レベルなら、AND ゲート 1 0 3 の出力は、L o w レベル (= ゼロ) となる。一方、制御信号 1 0 7 - i が H i レベルなら、AND ゲート 1 0 3 からは、送信データのデータ値がそのまま出力されることになる。

#### 【 0 0 3 3 】

次に、再度図 4 を参照し、a. 送信開始時、b. 定常送信時、c. 送信停止時のランプアップ・ランプダウン回路の動作について説明する。

#### 【 0 0 3 4 】

##### a. 送信開始時

制御回路 1 0 1 の出力である制御信号 1 0 7 - i は、送信開始時において、クロックに同期して順次 L o w レベルから H i レベルに変化する。このため、はじめはすべて零であった加算結果が、順次クロックに同期して送信データはフィルタ係数 1 0 4 の  $h_1$ 、 $h_2$ 、 $h_3 \dots$  と乗算された値で、加算されていくことになる。その結果、図 4 のランプアップ区間に示されているように、フィルタの特性に従って出力電力 (振幅) がなめらかに上昇していくことになる。このランプアップ区間の長さは、シフトレジスタ 1 0 2 の大きさ (段数  $n$ ) により決まる。通常、対称型の  $n$  タップ F I R フィルタの構成であれば、ランプアップ区間の長さは、 $n / 2 \times C L K$  となる。

#### 【 0 0 3 5 】

##### b. 定常送信時

ランプアップダウン信号が常にH i レベル（つまり送信継続中）の状態では、制御回路101の出力である制御信号107-iはすべてがH i レベルとなる。このため、シフトレジスタ102の各タップから出力される送信データは、通常のF I Rフィルタの動作と同様に各F I Rフィルタ係数104と乗算され、加算器105により加算処理されて、出力信号としてF I Rフィルタリングされた送信データが出力される。図4においては、送信継続中が送信データ区間として示されている。

#### 【0036】

なお同図は、送信データを{1, -1}の繰返しとした場合の1例であり、通常の送信データは、任意のデータ系列及びその送信時間も送信フォーマットによるものである。したがって、実際の波形は、図4に示されている波形とは異なる。

#### 【0037】

##### c. 送信停止時

ランプダウンの場合には、制御信号101からの制御信号107-iが、各々H i レベルになっていた状態（送信継続中）から、ランプアップダウン信号が、H i レベルからL o w レベルに変化する。これにより、送信開始時の逆の動作、すなわち制御信号107-iが順次H i レベルからL o w レベルに変化する。このため、制御信号107-iがL o w レベルとなる各フィルタ係数の乗算結果が零となり、加算量が減っていく。よって、送信電力が徐々に小さくなっていくことになる。その結果、図4のランプダウン区間に示されているように、フィルタの特性に従って出力電力（振幅）がなめらかに下降していくことになる。

#### 【0038】

なお図4は、16個のレジスタでシフトレジスタを構成し、1レジスタあたり、4クロックで動作（4倍オーバーサンプリング：64タップF I R相当のフィルタ例）させ、送信データは{1, -1}を繰返したときのシミュレーション波形を示したものである。

#### 【0039】

上述した説明から明らかなように、通常のF I Rフィルタ回路に制御回路10

1 と、ANDゲート 1 0 3 とを追加するだけで、ランプアップ制御及びランプダウン制御が可能となる。つまり、メモリの増加や、複雑な制御回路を追加することなく、ランプアップ、ランプダウン制御をする回路が構成できるのである。

#### 【 0 0 4 0 】

以上は、一般的な F I R フィルタの構成例を説明したが、F I R フィルタ係数の生成方法等には詳しく言及していない。F I R フィルタ係数は、固定回路によって生成しても良いし、メモリから取出しても良い。また、送信データとフィルタ係数とを論理積してオンオフさせるためにANDゲートを用いているが、切替えスイッチ等で代用しても同様の効果が得られることは明らかである。

#### 【 0 0 4 1 】

図 5 には、切替えスイッチを用いた構成例が示されている。同図においては、図 1 中のANDゲート 1 0 3 - i の代わりに、スイッチ回路 1 0 8 - 1 ~ 1 0 8 - n を用いている。各スイッチ回路 1 0 8 - i ( i = 1 ~ n ) は、図 6 に示されているように、固定値 C i ( i = 1 ~ n ) を送出する回路 8 3 と、F I R フィルタ係数 h i ( i = 1 ~ n ) を送出する回路 8 2 と、制御信号 1 0 7 - i によってオンオフ制御され回路 8 3 及び回路 8 2 の出力を選択して送出するスイッチ 8 1 と、このスイッチによって選択されて送出された信号とシフトレジスタ 1 0 2 の対応する段の出力信号とを乗算する乗算器 8 0 とを含んで構成されている。このように、ANDゲートを用いているが、切替えスイッチ等で代用しても同様の効果が得られるのである。

#### 【 0 0 4 2 】

さらに、図 7 では、ANDゲートや切替えスイッチを用いずに、制御回路 1 0 1 内のシフトレジスタの各段の出力に応じてシフトレジスタ 1 0 2 の対応する段の出力を段毎にリセットしている。このように、シフトレジスタ 1 0 2 を構成するレジスタをリセットすることにより、送信データをそのまま乗算器に入力するか、零を入力するか、2つの状態を選択することができる。これにより、上述したANDゲートや切替えスイッチを用いた場合と同様の効果が得られるのである。

#### 【 0 0 4 3 】

以上のように、本発明では、従来のようにメモリ等により複数のFIRフィルタ係数を持ち、係数を切り替えてランプアップ・ランプダウン時の送信データを作ることもなく、または、アナログ的にGCAを制御してランプアップ、ランプダウンを行うこともなく、通常送信時のFIRフィルタ係数を使って、ランプアップ、ランプダウンを実現しているのである。

## 【0044】

ところで、周波数使用効率を高く保つ必要のある携帯電話等で、送信開始時の送信電力のランプアップ、送信停止時のランプダウンをなめらかに行わないと、スプリアスが発生し他チャンネルに妨害を与えてしまう。従って、特にバースト送信を行う場合等には、頻繁に送信開始、送信停止を行うので、スプリアスが発生しにくい機構を持つ必要がある。上述したように本例のランプアップ・ダウン回路は、FIRフィルタ係数を利用しているので、原理的にスプリアスが発生しないのである。さらに本例では、多数のメモリや乗算器、専用の波形発生手段を用いていないので、構成が簡単で、回路規模も小さくて済むのである。

## 【0045】

なお以上は、ランプアップダウン信号を入力とする場合について説明したが、ランプアップ信号及びランプダウン信号のいずれか一方のみを入力とする場合にも、本発明が適用できることは明らかである。

## 【0046】

本発明の他の実施形態について図8及び図9を参照して説明する。本形態では、上述したランプアップ区間及びランプダウン区間を調整することができる点が上記の実施形態と異なる。

## 【0047】

通常、ランプアップ区間及びランプダウン区間は、無線通信システムにより規定されていることが多い。一般的には、スプリアスが発生しにくく、送信開始及び送信停止（ランプアップ区間、ランプダウン区間）が素早く行える方が望ましい。しかしながら、装置自身の特性評価等からランプアップ・ランプダウン区間を変更できれば、より便利であると思われる。その場合の構成例について図8を参照して説明する。

## 【0048】

同図において、図1の回路との違いは、クロック信号の使い方を工夫することによって、ランプアップ・ランプダウン区間の長さを変更できる点である。構成における主な違いは、ランプアップ・ランプダウン回路110内部で使用するクロックを、制御回路111の内部で生成していることである。

## 【0049】

また、制御回路111には、基本となるシステムクロックSYS\_CLKが供給され、そのクロックは、D/A変換器118にも供給されている。

## 【0050】

図9はシステムクロックSYS\_CLK、クロック信号116、送信データ、ランプアップダウン信号の関係例を示す波形図である。同図において、制御回路111により生成されるクロック信号116は、ランプアップ、ランプダウンさせる区間だけ、クロックを変化させる。同図では、シフトレジスタの個数の1/2、あるいはタップ数の1/2に相当する区間において、周波数を2倍に変化させている。生成されたクロック信号116は、シフトレジスタ102に入力され、シフトレジスタ102をクロック信号116のタイミングで動作させる。さらに、そのタイミングで、制御回路111から出力される制御信号107iを変化させる。つまり、2つのシフトレジスタを互いに異なるシフトクロックで動作させるのである。

## 【0051】

図8に戻り、D/A変換器118には、システムクロックであるSYS\_CLKが供給されている。このため、ランプアップ区間、ランプダウン区間においては、ランプアップ・ランプダウン回路110の動作が異なるので、クロック信号116とシステムクロックSYS\_CLKとの比で同じ出力時間が延びることになり、トータルとしてランプアップ、ランプダウン区間が変更できることになる。なお、クロック信号116とシステムクロックSYS\_CLKとの比は2のn乗にて変更することは容易なので、様々なランプアップ、ランプダウン区間の長さが設定できることになる。

## 【0052】



請求項の記載に関連して本発明は更に次の態様をとりうる。

【0053】

(1) 前記第1のn段シフトレジスタのシフトクロックの繰返し周波数を変化せしめる手段を更に含むことを特徴とする請求項2～5のいずれかに記載のFIRフィルタ。

【0054】

(2) 前記第1のn段シフトレジスタと前記第2のn段シフトレジスタとを、互いに異なる繰返し周波数のシフトクロックでシフト動作させるようにしたことを特徴とする請求項2～5のいずれかに記載のFIRフィルタ。

【0055】

【発明の効果】

以上説明したように本発明は、ランプアップ、ランプダウン時に、ベースバンドの帯域制限を行うFIRフィルタを用い、送信データあるいは係数値を選択することにより、回路規模が大きくならずに、スムーズなランプアップ、ダウンを簡単に実現させることができるという効果がある。

【図面の簡単な説明】

【図1】

本発明の実施の一形態によるランプアップ・ランプダウン回路の構成を示すブロック図である。

【図2】

図1中の制御回路の内部構成例を示すブロック図である。

【図3】

図2の制御回路の動作を示す波形図である。

【図4】

図1中の各部の動作を示す波形図である。

【図5】

図1中のANDゲートの代わりにスイッチ回路を用いた構成例を示すブロック図である。

【図6】

図 5 中のスイッチ回路の構成例を示すブロック図である。

【図 7】

図 1 中のシフトレジスタの各段の出力を段毎にリセットするようにした構成例を示すブロック図である。

【図 8】

本発明の実施の他の形態によるランプアップ・ランプダウン回路の構成を示すブロック図である。

【図 9】

図 8 中の各部の動作を示す波形図である。

【図 1 0】

C D M A 送信を行う送信機の一般的な構成を示すブロック図である。

【図 1 1】

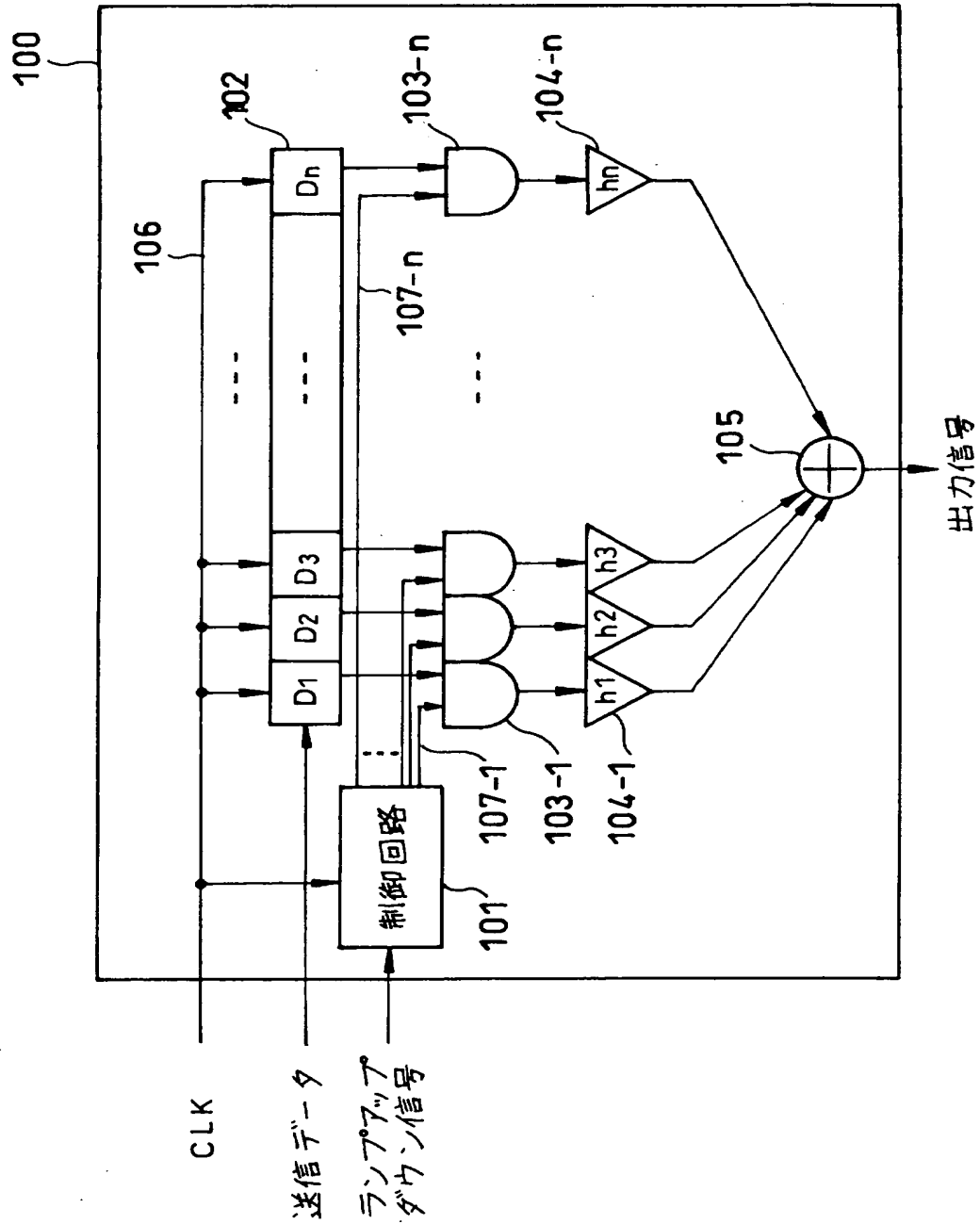
従来の F I R フィルタの構成を示すブロック図である。

【符号の説明】

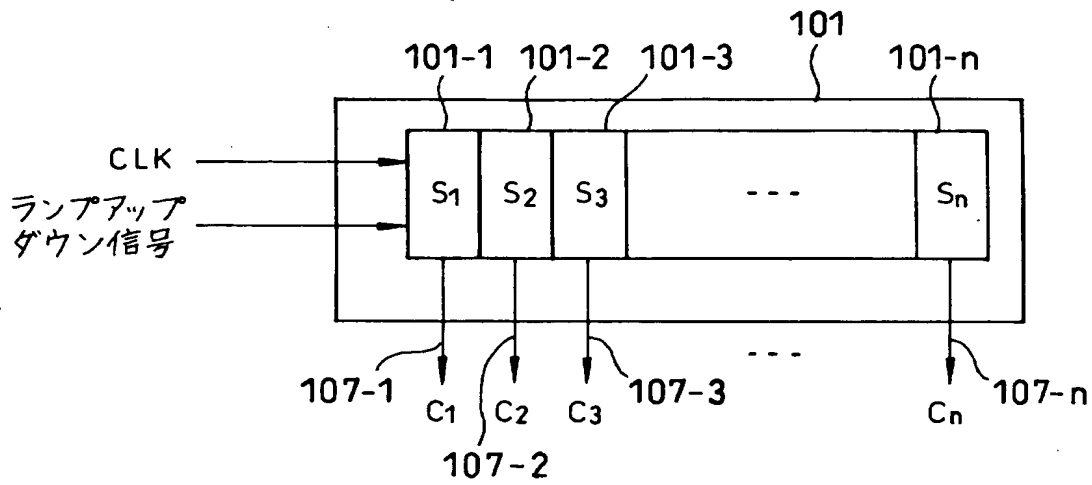
1 0 0	ランプアップ・ランプダウン回路
1 0 1	制御回路
1 0 2	シフトレジスタ
1 0 3 - 1 ~ 1 0 3 - n	A N D ゲート
1 0 4 - 1 ~ 1 0 4 - n	乗算回路
1 0 5	加算器
1 0 8 - 1 ~ 1 0 8 - n	スイッチ回路

【書類名】 図面

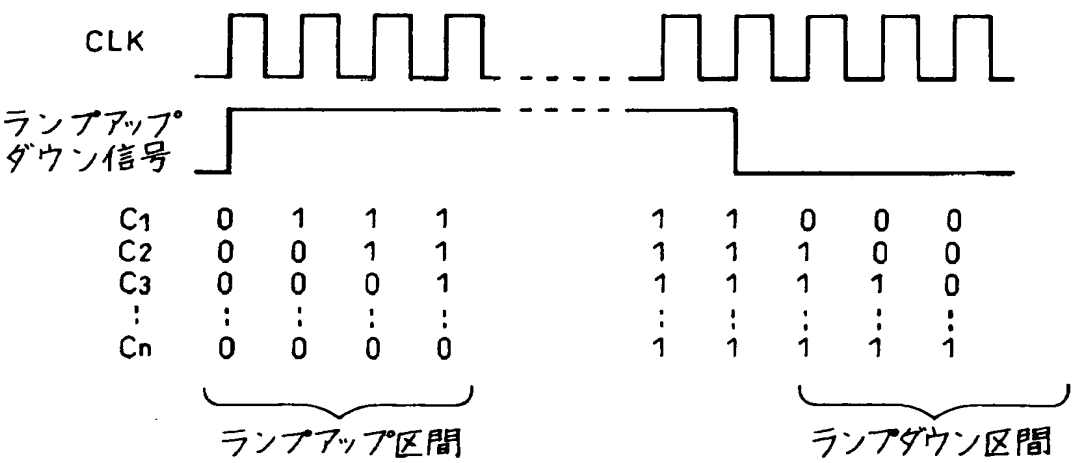
【図 1】



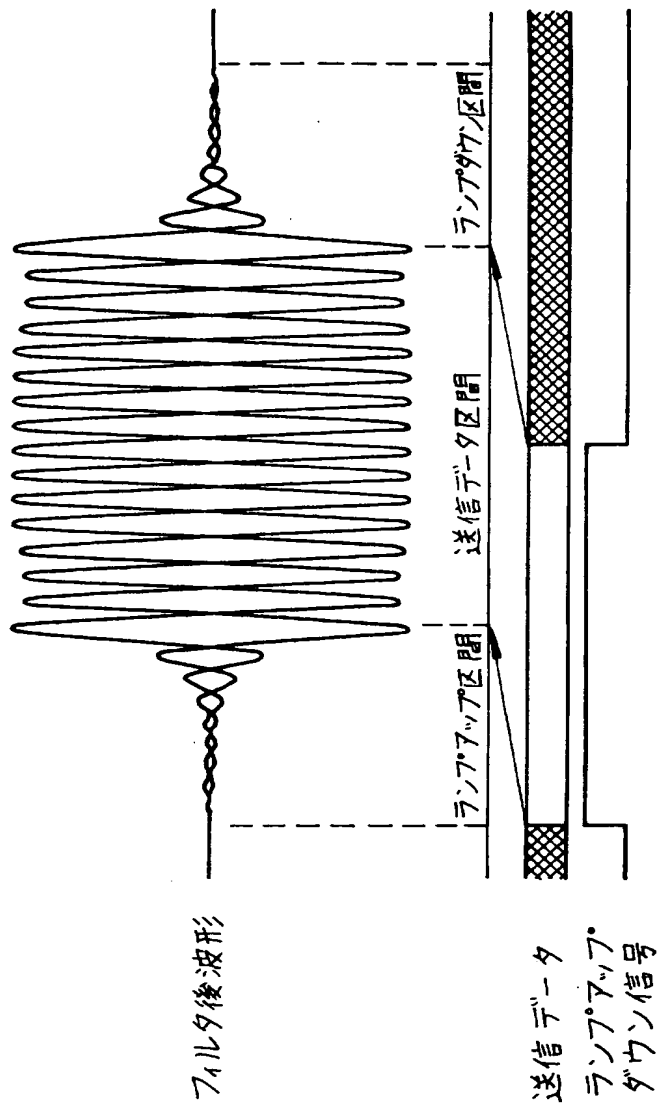
【図 2】



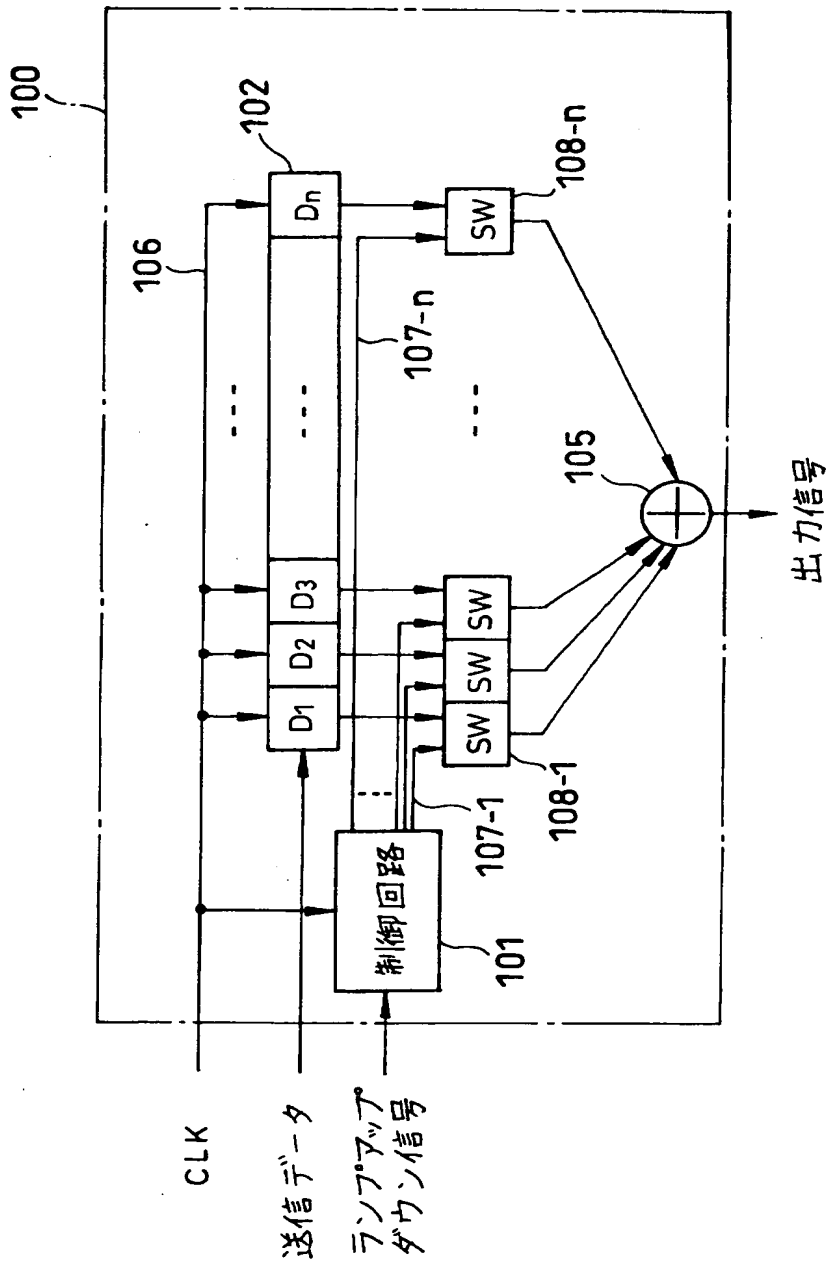
【図 3】



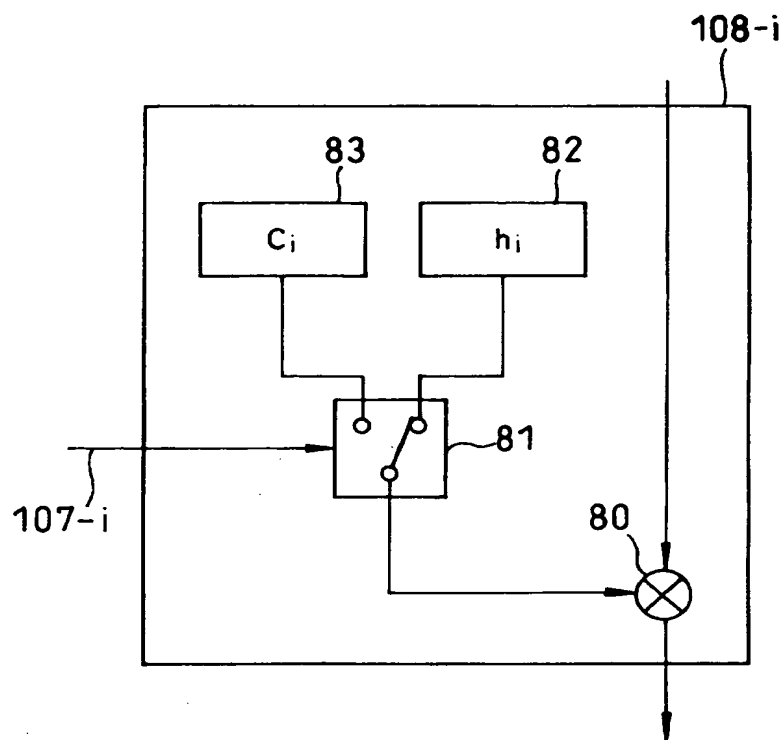
【図 4】



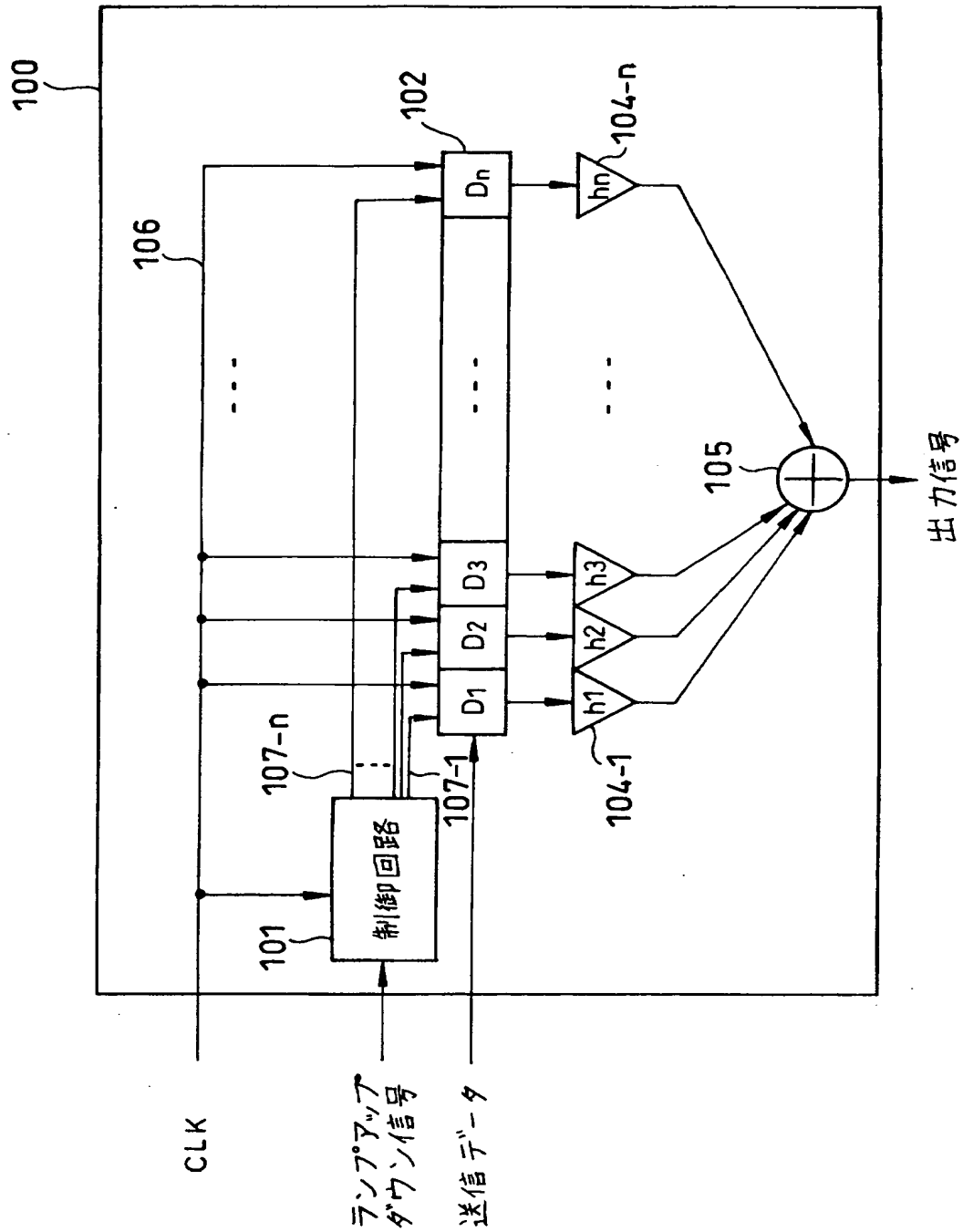
【図 5】



【図 6】

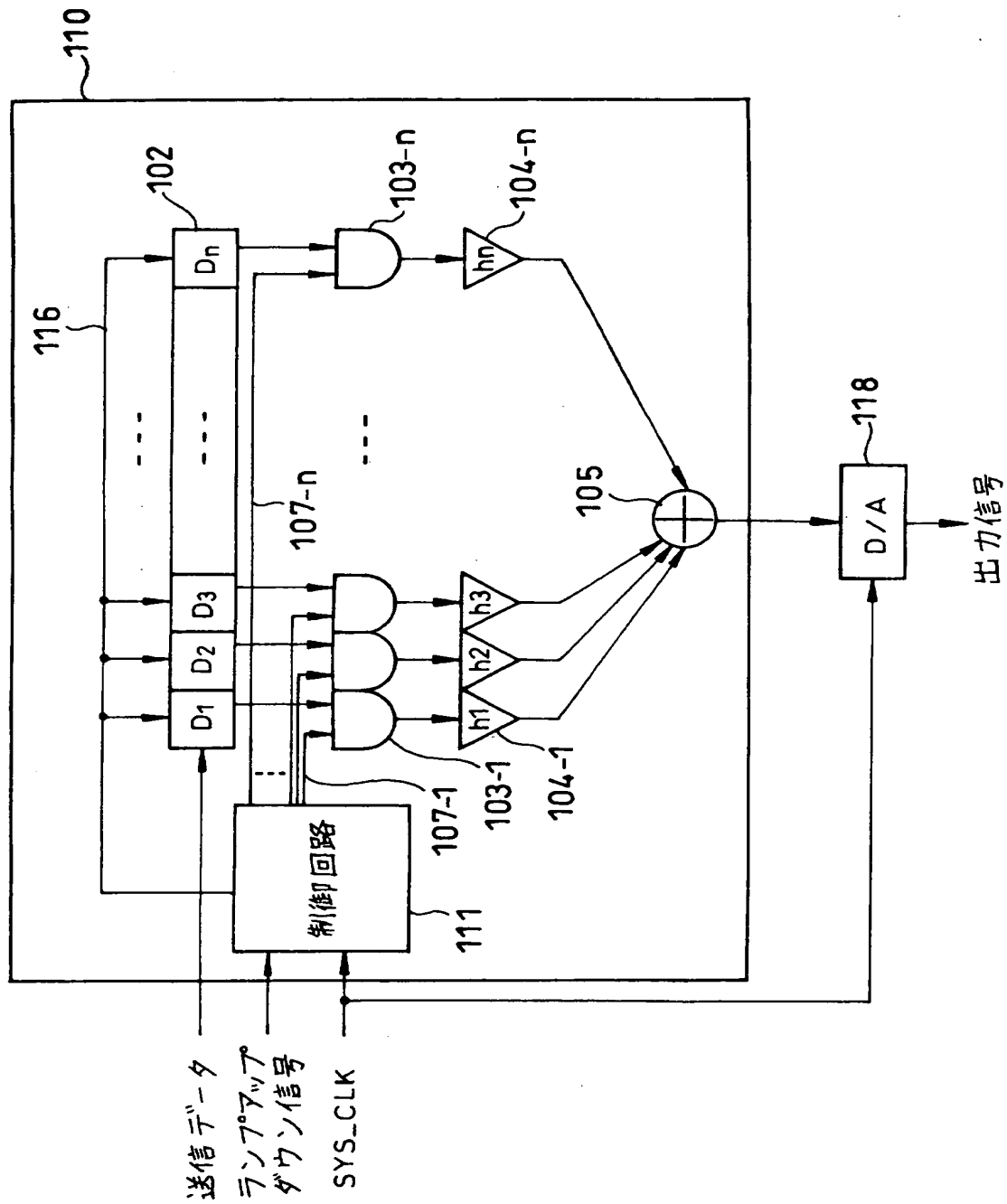


【図 7】

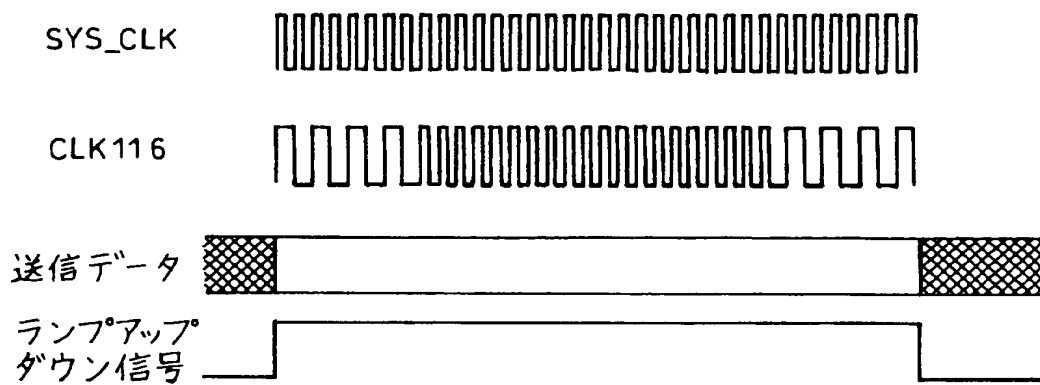




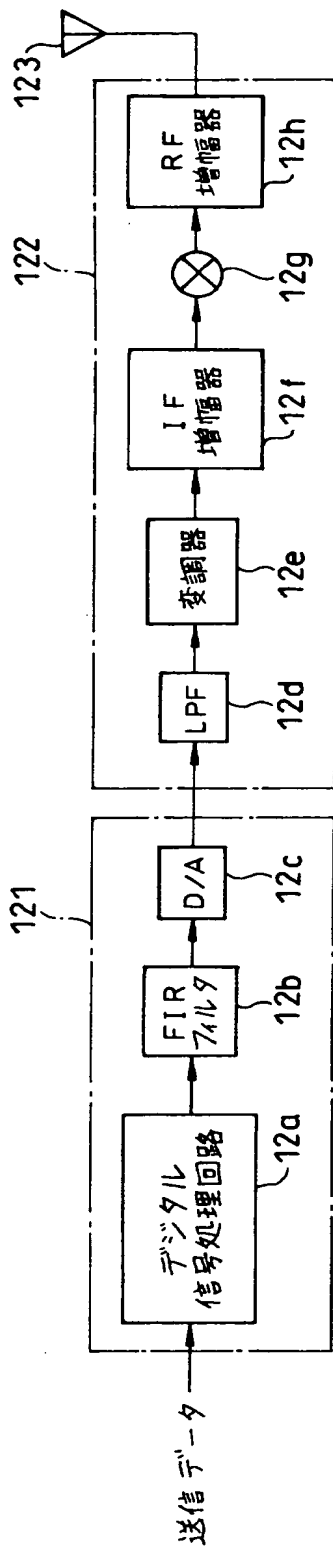
【図 8】



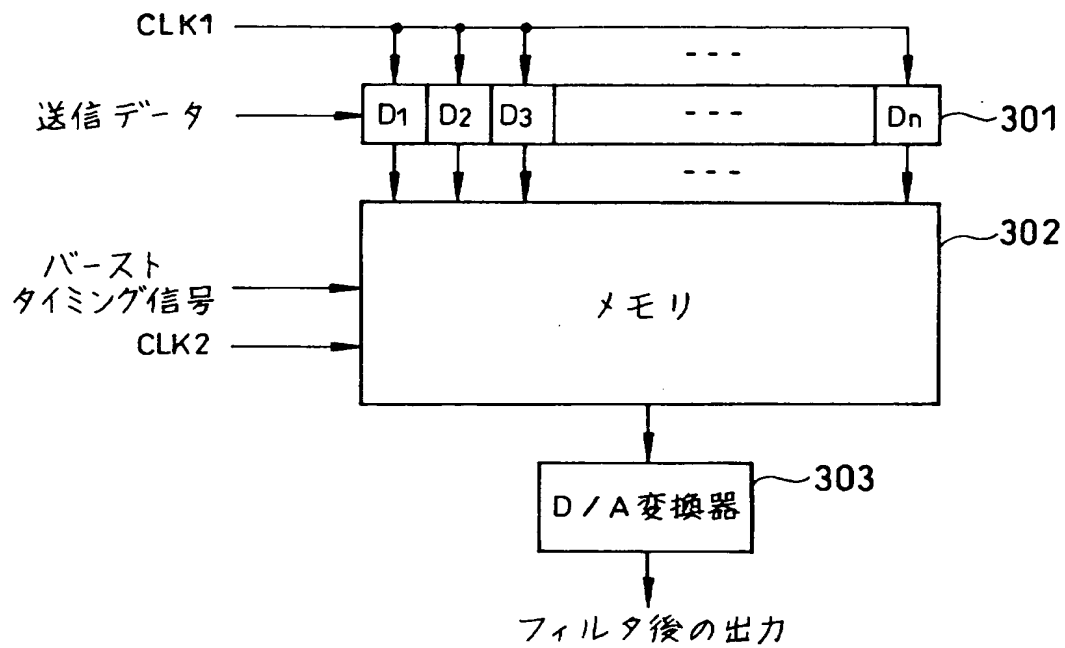
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【課題】 回路規模が大きくならずに、スムーズなランプアップ、ダウンを簡単に実現させることのできるランプアップ・ランプダウン回路を実現する。

【解決手段】 入力データを順次後段にシフトする  $n$  段シフトレジスタ 102 と、このシフトレジスタ 102 の各段に対応して AND ゲート 103 -  $i$  ( $i = 1 \sim n$ ) を設け、制御回路 101 からの制御信号 107 -  $i$  で、対応する段の出力の送出をオンオフ制御する。このオンオフ制御されたデータと所定のフィルタ係数とを乗算器 104 -  $i$  で乗算し、この乗算出力から加算回路 105 で加算することでランプアップ、ダウンを含む FIR フィルタ出力を導出する。制御回路 101 内のシフトレジスタにランプアップダウン信号を入力し、加算回路 105 の出力からランプアップデータを導出する。

【効果】 ランプアップダウン時のフィルタ係数を記憶するメモリを用意する必要がないので、構成が容易で、回路規模が大きくなるらない。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日	1990年 8月29日
[変更理由]	新規登録
住 所	東京都港区芝五丁目7番1号
氏 名	日本電気株式会社